

## 2回目 LSIの内部リセットと外部リセットについて

LSI のリセット信号は、外部からリセット信号を入力し初期化する LSI と投入電源電圧の立ち上がりシーケンスで内部的にリセット信号を発生させ初期化する LSI があります。

前者の場合は、データシートに信号の電圧レベル、時間、電流などが記載されており判りやすい。

後者の場合は、データシートに条件など詳細が記載されているメーカーや説明不足のメーカーもあります。

最近の LSI は内臓機能が複雑であり、必ずリセット信号により初期化動作があると考えたほうが賢明でしょう。内部リセットの発生は電源電圧が投入され内部閾値電圧に到達した時にリセット信号が内部的に出力し、電源電圧が規定電圧に到達するとリセット信号の出力が終了するタイプが多い。

閾値電圧は、その LSI の供給電圧の約 1/3 に内部リセットの閾値電圧が設定されているケースが多く、リセット信号の出力時間の設定は内部にディレイ回路が搭載されていれば別ですが多くの場合、電源の立ち上がりシーケンスのランプアップ時間で規定されており、ランプアップ時間があまり短いとリセット時間が短くなり初期化が不安定になります。また、長すぎても同様なことが発生する場合があります。

この問題は、デバックの初期には別の問題と重複している場合があります発見しにくい現象です。

回路設計時には、LSI のデータシートに記載されている電源入力の推奨立ち上がりシーケンス、複数電源の場合は推奨トラッキング、推奨ランプアップを考慮されたほうが賢明と思います。

FPGA の CONFIG・ROM の参照例を記載します。

### 参照例：CONFIG・ROM のリセット信号時間条件

CONFIG・ROM の初期化条件は、供給電源 ( $V_{CC}$ ) がランプアップしパワーオン閾値電圧 ( $V_{CCPOR}$ ) まで立ち上がると内部パワーオンリセット回路がオンしリセット信号が出力、電源電圧が設定電圧に達するとリセット信号が終了します。

CONFIG・ROM の内部パワーオンリセット時間は最小パワーオンリセット時間 ( $\text{MINI } T_{\text{OER}}$ ) から最大パワーオンリセット時間 ( $\text{MAX } T_{\text{OER}}$ ) で規定されており、電源立ち上がり時間の最大はランプアップ時間 ( $T_{\text{VCC}}$ ) で規定され、その範囲にて電源シーケンスを組む必要があります。

FPGA、CONFIG・ROM の一般的条件例

- ・電源供給電圧  $V_{CC}$  3.3V ではパワーオン閾値電圧 ( $V_{CCPOR}$ ) は 1V
- ・パワーオンリセット時間 ( $T_{\text{OER}}$ ) 0.5～3ms の範囲
- ・ランプアップ時間  $T_{\text{VCC}}$  0.2～50ms の範囲

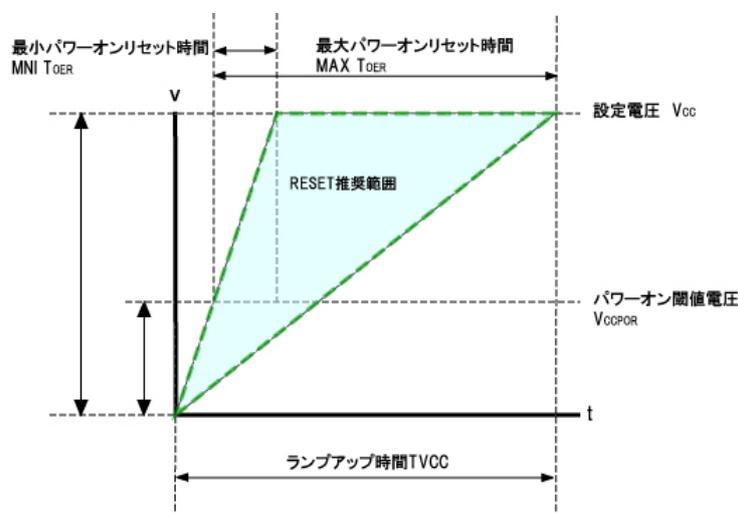


図-1

## 参照例：実際の設定

### コンフィグROM電源供給とトラッキングとランプアップ・レート

コンフィグROMへの電源供給は $V_{CC0}$  (ROM I/O 電圧)、 $V_{CCINT}$  (ROM コア電圧)が 3.3V 供給のAタイプと $V_{CC0}$  が 3.3V、 $V_{CCINT}$  が 1.8V のBタイプの2種類あり各々リセット条件の違いがあります。

WFPG-20Aは、共通する条件で電源の立ち上げシーケンスを構成、電源の立ち上げランプ時間( $T_{VCC}$ )を2msに設定し、同時トラッキング方式にて両タイプのパワーオンリセット時間( $T_{OER}$ )の条件を満足させるように設定してあります。

#### タイプA $V_{CCINT}3.3V, V_{CC0}3.3V$ の場合の出力電圧のトラッキング

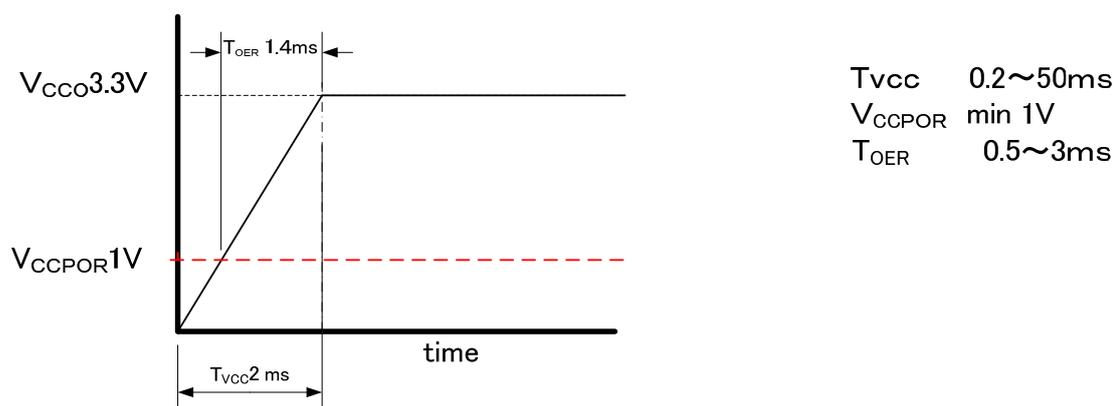


図-2

#### タイプB $V_{CCINT}1.8V, V_{CC0}3.3V$ の場合の出力電圧のトラッキング

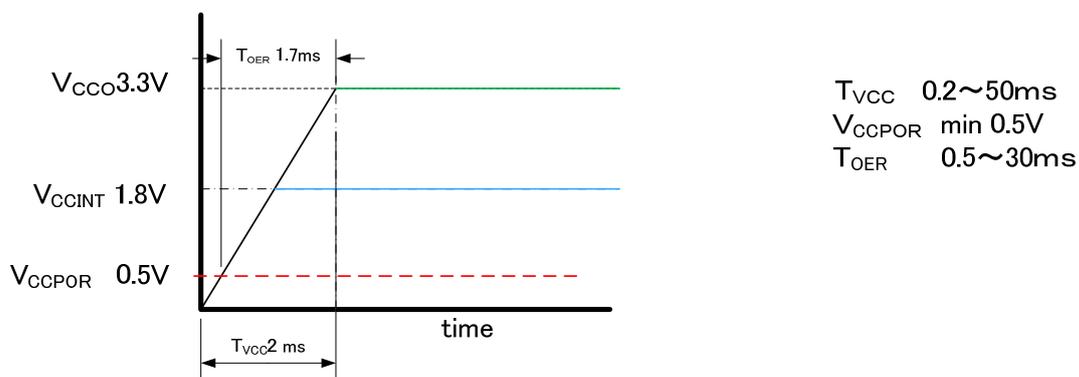


図-3